

明細書

半導体装置及びその製造方法

技術分野

本発明は、半導体装置及びその製造方法に関し、特に高誘電体膜をゲート絶縁膜に用いたMIS型電界効果トランジスタ(MISFET)を有する半導体装置及びその製造方法に関する。

背景技術

近年、MOS型電界効果トランジスタ(MOSFET)の高速動作を目的としてゲート絶縁膜(SiO_2 膜)の薄膜化が2nm程度にまで進められている。しかし、これに伴い、消費電力の観点からゲートリーク電流量が無視できないものとなってきた。そこで、このゲートリーク電流量を抑制するため、 SiO_2 より比誘電率の高い材料(High-K材料)をゲート絶縁膜に利用することが検討されている。High-K材料をゲート絶縁膜に用いることによって、 SiO_2 換算膜厚を薄くできるため素子の高速動作を実現でき、且つ物理的膜厚を厚くできるためゲートリーク電流量を抑えることができる。

High-K材料としては、ハフニウムオキシド(HfO_2)やジルコニウムオキシド(ZrO_2)等の金属酸化物、これらの金属酸化物にさらにシリコン等を含有する金属酸化物(組成式: HfSiO 、 ZrSiO 等)が知られている。

このようなHigh-K材料をゲート絶縁膜に用いたMISFETの一例が、特開2002-134739号公報に開示されている。同公報に記載のMISFETは、下層部、中央部および上層部からなる3層構造のゲート絶縁膜を有し、下層部は中央部と比べてシリコン基板との反応性が低く、上層部は中央部と比べてゲート電極(ポリシリコン電極)との反応性が低いことを特徴としている。より具体的には、上層部および下層部に HfSiO_2 膜、中央部に HfO_2 膜が用いられている。そして、このような構成によれば、消費電力の低減および高速動作

の実現を図ることができる」と記載されている。

しかしながら、上記従来技術のようにHigh-K材料の反応性を考慮した構成であっても、素子の微細化に伴いゲート長が短くなるに従って、動作電流が、ゲート絶縁膜に酸化シリコン膜を用いたMOSFETに比べて十分に向上しないという問題がある。図1に、ゲート長と単位チャネル幅あたりのオン電流 (I_{on}) との関係を示す。ここで、 $HfSiO(A)$ 中のSiモル比率 ($Si / (Si + Hf)$) は30%、 $HfSiO(B)$ 中のSiモル比率は13%である。この図から明らかなように、ゲート絶縁膜に $HfSiO$ 膜を用いた場合は、ゲート長が短くなるに従って、 SiO_2 膜を用いた場合に比べてオン電流が低くなることがわかる。また、 $HfSiO$ 膜中のSi含有比率が低いとオン電流の低下が著しいことがわかる。このようにSi含有比率が低いほどオン電流が低下することは、Si含有比率が低いほど大きくなる比誘電率とトレードオフの関係にあるため、高速動作の実現の点で大きな障害となる。

発明の開示

本発明の目的は、ゲート長が短い微細構造を有しながら、低消費電力でかつ高速動作が可能なMISFETを有する半導体装置およびその製造方法を提供することにある。

本発明は、以下の1項～24項にそれぞれ記載された態様が含まれる。

1. シリコン基板と、

前記シリコン基板上にシリコン含有絶縁膜を介して設けられた高誘電率金属酸化膜を有するゲート絶縁膜と、

前記ゲート絶縁膜上に形成されたシリコン含有ゲート電極と、

前記ゲート電極の側面側に酸化シリコンを構成部材として含むサイドウォールとを有し、

前記サイドウォールと少なくとも前記ゲート電極の側面との間に窒化シリコン膜が介在するMIS型電界効果トランジスタを備えた半導体装置。

2. 前記窒化シリコン膜は、前記高誘電率金属酸化膜の側面を被覆している、1項に記載のMIS型電界効果トランジスタを備えた半導体装置。

3. 前記窒化シリコン膜は、酸化シリコン膜を介して設けられている、1項又は2項に記載の半導体装置。

4. シリコン基板と、
前記シリコン基板上にシリコン含有絶縁膜を介して設けられた高誘電率金属酸化膜を有するゲート絶縁膜と、
前記ゲート絶縁膜上に形成されたシリコン含有ゲート電極とを有し、
少なくとも前記高誘電率金属酸化膜の側面側に窒素含有部を有するMIS型電界効果トランジスタを備えた半導体装置。

5. 前記窒素含有部は、少なくとも前記高誘電率金属酸化膜の側面を被覆する窒化シリコン膜である、4項に記載の半導体装置。

6. 前記ゲート絶縁膜の側面は、前記ゲート電極側面の平面に対して窪みを形成し、前記窒化シリコン膜は、この窪み内で少なくとも前記高誘電率金属酸化膜の側面を被覆している、5項に記載の半導体装置。

7. 前記窒素含有部は、前記高誘電率金属酸化膜の側面側部分を窒化处理してなるものである、4項に記載の半導体装置。

8. 前記ゲート電極の側面側に酸化シリコンを構成部材として含むサイドウォールを有する、4項～7項のいずれか1項に記載の半導体装置。

9. 前記高誘電率金属酸化膜と前記ゲート電極との間に窒化シリコン膜が介在する、1項～8項のいずれか1項に記載の半導体装置。

10. 前記高誘電率金属酸化膜がハフニウム(Hf)を含有する、1項～9項のいずれか1項に記載の半導体装置。

11. 前記高誘電率金属酸化膜の比誘電率が10以上である、1項～10項のいずれか1項に記載の半導体装置。

12. 前記高誘電率金属酸化膜が前記サイドウォール下に存在しない、1項～3項及び8項のいずれか1項に記載の半導体装置。

13. 前記ゲート電極のゲート長が1 μ m以下である、1項～12項のいずれか1項に記載の半導体装置。

14. シリコン基板上にシリコン含有絶縁膜を介して高誘電率金属酸化膜を形成する工程と、

前記高誘電率金属酸化膜上にシリコン含有ゲート電極材料膜を形成する工程と、
前記ゲート電極材料膜をパターンニングしてゲート電極を形成する工程と、
前記高誘電率金属酸化膜をパターンニングして前記ゲート電極下に高誘電率金属酸化膜パターンを形成する工程と、
窒化シリコン膜を全面に形成する工程と、
前記窒化シリコン膜上に酸化シリコン膜を形成する工程と、
前記酸化シリコン膜および窒化シリコン膜をエッチバックして前記ゲート電極側面に窒化シリコン膜を介したサイドウォールを形成する工程を有する半導体装置の製造方法。

15. 前記窒化シリコン膜を形成した後、当該窒化シリコン膜をエッチバックして前記ゲート電極上及びシリコン基板上の窒化シリコン膜を除去する工程を有し、その後に、酸化シリコン膜を全面に形成し、この酸化シリコン膜をエッチバックして前記ゲート電極側面にサイドウォールを形成する、14項に記載の半導体装置の製造方法。

16. シリコン基板上にシリコン含有絶縁膜を介して高誘電率金属酸化膜を形成する工程と、
前記高誘電率金属酸化膜上にシリコン含有ゲート電極材料膜を形成する工程と、
前記ゲート電極材料膜をパターンニングしてゲート電極を形成する工程と、
前記高誘電率金属酸化膜およびシリコン含有絶縁膜をパターンニングして前記ゲート電極下に高誘電率金属酸化膜およびシリコン含有絶縁膜のパターンを形成する工程と、
第1の酸化シリコン膜を600℃以下で全面に形成する工程と、
前記第1の酸化シリコン膜上に窒化シリコン膜を形成する工程と、
前記窒化シリコン膜上に第2の酸化シリコン膜を形成する工程と、
前記第2の酸化シリコン膜、窒化シリコン膜および第1の酸化シリコン膜をエッチバックして前記ゲート電極側面に第1の酸化シリコン膜および窒化シリコン膜を介したサイドウォールを形成する工程を有する半導体装置の製造方法。

17. 前記窒化シリコン膜を形成した後、当該窒化シリコン膜および第1の酸化シリコン膜をエッチバックして前記ゲート電極上及びシリコン基板上の窒化

シリコン膜および酸化シリコン膜を除去する工程を有し、その後に、前記第2の酸化シリコン膜を全面に形成し、この第2の酸化シリコン膜をエッチバックして前記ゲート電極側面にサイドウォールを形成する、16項に記載の半導体装置の製造方法。

18. シリコン基板上にシリコン含有絶縁膜を介して高誘電率金属酸化膜を形成する工程と、
前記高誘電率金属酸化膜上にシリコン含有ゲート電極材料膜を形成する工程と、
前記ゲート電極材料膜をパターニングしてゲート電極を形成する工程と、
前記高誘電率金属酸化膜をパターニングして前記ゲート電極下に高誘電率金属酸化膜パターンを形成する工程と、
等方性エッチングにより少なくとも前記高誘電率金属酸化膜パターンの側面部を除去して窪みを形成する工程と、
前記窪みを埋め込むように全面に窒化シリコン膜を形成する工程と、
前記窪み内において少なくとも前記高誘電率金属酸化膜の側面を被覆する窒化シリコン膜が残るように前記窒化シリコン膜をエッチングする工程と、
酸化シリコン膜を全面に形成し、この酸化シリコン膜をエッチバックして前記ゲート電極側面にサイドウォールを形成する工程を有する半導体装置の製造方法。

19. シリコン基板上にシリコン含有絶縁膜を介して高誘電率金属酸化膜を形成する工程と、
前記高誘電率金属酸化膜上にシリコン含有ゲート電極材料膜を形成する工程と、
前記ゲート電極材料膜をパターニングしてゲート電極を形成する工程と、
前記高誘電率金属酸化膜をパターニングして前記ゲート電極下に高誘電率金属酸化膜パターンを形成する工程と、
前記高誘電率金属酸化膜パターンの側面部を窒化处理する工程と、
酸化シリコン膜を全面に形成し、この酸化シリコン膜をエッチバックして前記ゲート電極側面にサイドウォールを形成する工程を有する半導体装置の製造方法。

20. シリコン基板上にシリコン含有絶縁膜を介して高誘電率金属酸化膜を形成する工程と、
前記高誘電率金属酸化膜上にシリコン含有ゲート電極材料膜を形成する工程と、

前記ゲート電極材料膜をパターンニングしてゲート電極を形成する工程と、
前記高誘電率金属酸化膜をパターンニングして前記ゲート電極下に高誘電率金属酸化膜パターンを形成する工程と、
酸化シリコン膜を600℃以下で全面に形成する工程と、
前記酸化シリコン膜をエッチバックして前記ゲート電極側面にサイドウォールを形成する工程を有する半導体装置の製造方法。

21. さらに前記シリコン含有絶縁膜をパターンニングして前記ゲート電極下にシリコン含有絶縁膜パターンを形成する、14項、15項、18項～20項のいずれか1項に記載の半導体装置の製造方法。

22. 前記高誘電率金属酸化膜がハフニウム(Hf)を含有する、14項～21項のいずれか1項に記載の半導体装置の製造方法。

23. 前記高誘電率金属酸化膜の比誘電率が10以上である、14項～22項のいずれか1項に記載の半導体装置の製造方法。

24. 前記ゲート電極のゲート長が1μm以下である、14項～23項のいずれか1項に記載の半導体装置の製造方法。

なお、本発明において高誘電率金属酸化膜とは、 SiO_2 の比誘電率より高い比誘電率を持つものを意味し、この比誘電率が7以上、さらに10以上である金属酸化物からなる膜を用いることが好ましい。

本発明によれば、ゲート長が短い微細構造を有しながら、低消費電力でかつ高速動作が可能なMISFETを有する半導体装置を提供することができる。

図面の簡単な説明

図1は、従来のMISFETにおけるゲート長と単位チャネル幅あたりのオン電流(I_{on})との関係を示す図である。

図2は、本発明におけるMISFETの一例の模式的断面図である。

図3は、本発明におけるMISFETの一例の模式的断面図である。

図4は、本発明におけるMISFETの製造方法の模式的説明図である。

図5は、本発明におけるMISFETの一例の模式的断面図である。

図6は、本発明におけるMISFETの一例の模式的断面図である。

図 7 は、本発明におけるM I S F E Tの製造方法の模式的説明図である。

図 8 は、本発明におけるM I S F E Tの一例の模式的断面図である。

図 9 は、本発明におけるM I S F E Tの製造方法の模式的説明図である。

図 1 0 は、本発明におけるM I S F E Tの一例の模式的断面図である。

図 1 1 は、本発明におけるM I S F E Tの製造方法の模式的説明図である。

発明を実施するための最良の形態

本発明者らは、低消費電力でかつ高速動作が可能なM I S F E Tを有する半導体装置を開発するに際して、前述したように、ゲート絶縁膜にH i g h - K材料を用いたF E Tは酸化シリコン膜を用いた場合に比べて、ゲート長が短くなるに従って動作電流 (I on) が向上しないという問題を見出した。特に、この問題は、特定の素子構造、すなわちゲート長が短く (特に 1 μ m以下)、且つゲート電極の側面に酸化シリコンからなるサイドウォールが設けられている場合に顕著であった。この原因について詳細に検討を行ったところ、ゲート絶縁膜を構成する高誘電率金属酸化膜の上面及び下面側に数n m程度の絶縁膜が形成あるいは増膜されていることを見出した。この絶縁膜は酸化シリコン膜と考えられ、この増膜分ほど電氣的なゲート絶縁膜厚が増大し (反転容量の増大)、動作電流 (I on) が低下したものと考えられる。また、この酸化シリコン膜の形成は、サイドウォール形成工程後に顕著であったことから、この工程における酸化性雰囲気中の成膜過程に主な原因があると考えられる。すなわち、サイドウォールを形成する際の酸化性雰囲気中の成膜過程において、高誘電率金属酸化膜の露出部から、酸素等の酸化性物質が膜中へ浸入・拡散し、この酸化性物質が、高誘電率金属酸化膜上のゲート電極および下地層 (あるいはシリコン基板) のシリコン成分と反応して、酸化シリコン膜が形成あるいは増膜したものと考えられる。また、ゲート長が短いほど動作電流 (I on) が低下する理由としては、ゲート長が短いと、ゲート電極下に形成される高誘電率金属酸化膜のゲート長方向の長さも短くなり、酸化性物質が膜中央部まで容易に拡散でき、高誘電率金属酸化膜のゲート長方向の全域にわたって酸化シリコン膜が形成あるいは増膜しやすくなるためと考えられる。

本発明は、上記の観点から鋭意検討した結果、完成したものであり、その主な

特徴は、酸素等の酸化性物質を含む酸化性雰囲気での加熱下の処理において、ゲート絶縁膜を構成する高誘電率金属酸化膜中への酸化性物質の浸入・透過を抑制できる構成にある。

前述のとおり、動作電流 (I_{on}) の低下はゲート長が短いほど顕著になるため、本発明は、特に、ゲート長が $1\mu\text{m}$ 以下の MISFET を備えた半導体装置に対して効果的であり、 200nm 以下がより効果的であり、 100nm 以下がさらに効果的である。

また本発明は、短チャネル効果の抑制の観点から、ゲート絶縁膜を構成する高誘電率金属酸化膜がサイドウォール下に存在しない構造、あるいは高誘電率金属酸化膜がゲート電極下の領域のみに存在する構造を採用したときに特に効果的なものである。

本発明の一実施形態の構造的な主な特徴は、シリコン基板上にシリコン含有絶縁膜を介して積層された高誘電率金属酸化膜を有するゲート絶縁膜と、このゲート絶縁膜上に形成されたシリコン含有ゲート電極と、このゲート電極の側面側に酸化シリコンを構成部材として含むサイドウォールとを有し、このサイドウォールと少なくとも前記ゲート絶縁膜の側面との間に窒化シリコン膜が介在することにある。

また、他の実施形態の構造的な主な特徴は、シリコン基板上にシリコン含有絶縁膜を介して積層された高誘電率金属酸化膜を有するゲート絶縁膜と、このゲート絶縁膜上に形成されたシリコン含有ゲート電極とを有し、少なくとも前記高誘電率金属酸化膜の側面側に窒素含有部を有することにある。

さらに、本発明の上記特徴的構成を達成し得るプロセス的な主な特徴は、高誘電率金属酸化膜を含むゲート絶縁膜およびゲート電極を形成した後において、当該高誘電率金属酸化膜が露出した状態で実施する酸化性雰囲気での加熱下の処理を 600°C 以下で行うことにある。

以下、本発明の好適な実施の形態を説明する。

なお、以下の説明に用いる図面においては、ソース・ドレイン領域を構成する深い不純物拡散領域、及びサイドウォール下に存在する LDD 領域を構成する浅い不純物拡散領域を省略している。

第1の実施形態

本実施形態は、図2に示すように、シリコン基板1上に、シリコン含有絶縁膜2と高誘電率金属酸化膜3がこの順で積層されたゲート絶縁膜と、このゲート絶縁膜上に形成されたシリコン含有ゲート電極4と、このゲート絶縁膜側面を含むゲート電極側面（基板に対して垂直方向の面）に窒化シリコン膜5を介してサイドウォール6が設けられている。この実施形態では、高誘電率金属酸化膜3の側面（基板に対して垂直方向の面）を窒化シリコン膜5が被覆している。

なお、図2に示す構成では、窒化シリコン膜5がサイドウォール6下にも存在するが、図3に示すように、サイドウォール下（サイドウォールとシリコン基板との間）に窒化シリコン膜が存在しない構造にすることもできる。また、図2及び図3では、窒化シリコン膜5がシリコン基板1に接しているが、界面準位の抑制の観点から、これらの間に酸化シリコン膜を介在させることが好ましい。

本発明の構成において、高誘電率金属酸化膜3としては、ハフニウムオキシド (HfO_2) やジルコニウムオキシド (ZrO_2) 等の金属酸化物、これらの金属酸化物にさらにシリコン (Si) やアルミニウム (Al)、窒素 (N) を含有する金属酸化物（組成式： HfSiO 、 ZrSiO 、 HfAlO 、 ZrAlO 、 HfSiON 等）を用いることができる。なかでも、耐熱性や比誘電率の観点から HfSiO や HfSiON が好ましい。耐熱性の点からは、窒素を含有する HfSiON が好ましい。 HfSiON 等の窒素を含有する金属酸化物中の窒素含有率（全構成原子に対する窒素原子の原子数比（百分率））は、素子信頼性の点から50%以下が好ましく、40%以下がより好ましい。また、高誘電率金属酸化膜の厚みは、消費電力や動作速度等の所望の素子特性の観点から、0.5nm～10nmの範囲で適宜設定することができる。また、2種以上の異なる組成の高誘電率金属酸化膜を積層してもよい。

高誘電率金属酸化膜下に設けられるシリコン含有絶縁膜2としては、酸化シリコン膜 (SiO_2 膜) やシリコン酸化窒化膜 (SiON 膜)、窒化シリコン膜 (Si_3N_4) を用いることができる。信頼性等の素子特性の点から酸化シリコン膜が好ましい。この絶縁膜の厚みは、0.4nm～10nmの範囲で適宜設定することができる。この絶縁膜が薄すぎると、高誘電率金属酸化膜とシリコン基板との

反応を十分に抑制できなくなる。厚すぎると、電氣的なゲート絶縁膜厚が大きくなり所望の動作速度が得られなくなる。

高誘電率金属酸化膜の側面を被覆する窒化シリコン膜5の厚みは、酸素等の酸化性物質のバリア機能が得られる範囲で適宜設定できるが、例えば1 nm～10 nmの範囲に設定することができる。薄すぎると、所望のバリア機能が得られなくなり、均一な成膜も困難となり、逆に厚すぎると、応力増大による信頼性低下等の問題が生じる虞がある。

ゲート電極4は、ポリシリコンで形成することができ、所望のサイズに適宜設定できるが、前述のとおり、本発明はゲート長が1 μ m以下において効果的であり、200 nm以下においてより効果的であり、100 nm以下においてさらに効果的である。一方、所望の素子特性や微細加工精度等の観点から、ゲート長は、好ましくは20 nm以上、より好ましくは40 nm以上の範囲で適宜設定することができる。ゲート電極の高さ（基板に対して垂直方向の長さ）は、例えば50 nm～200 nmの範囲に設定することができる。

サイドウォール6は、NSG等の酸化シリコンで形成することができ、そのサイズはゲート電極のサイズに応じて適宜設定することができる。

以下、本実施形態のMISFETの製造方法を説明する。

まず、素子分離領域（不図示）を有するシリコン基板1を用意し、この基板を希HF水溶液等の酸性溶液で洗浄して基板表面の自然酸化膜を除去し、純水でリンス、乾燥を行う。その後、RTA法等により基板表面に熱酸化膜12を形成する（図4（a））。この熱酸化膜12は、図2及び図3におけるシリコン含有絶縁膜2を構成する。また、この熱酸化膜を常法により窒化処理を施して、シリコン酸化窒化膜（SiON）とすることも可能である。また、この熱酸化膜に代えて、常法により窒化シリコン膜を形成することもできる。

次に、この熱酸化膜12上に高誘電率金属酸化膜としてHfSiO膜13（又はHfSiON膜）を形成する（図4（b））。2種以上の異なる組成の高誘電率金属酸化膜を積層してもよい。成膜方法は、固層拡散法や、原子層成長法、MOCVD法等の常法により行うことができる。

次に、このHfSiO膜13（又はHfSiON膜）の上に、CVD法により

ゲート電極形成用のポリシリコン膜14を形成する(図4(c))。このポリシリコン膜には導電性付与を目的として、成長時に不純物を導入する。この不純物の導入は成膜終了後に行うこともできる。

次に、このポリシリコン膜14上にレジストパターン21を形成し(図4(d))、このレジストパターン21をマスクとしてドライエッチングを行い、ポリシリコン膜14をパターンニングしてゲート電極4を形成する(図4(e))。その際、 HfSiO 膜13(又は HfSiON 膜)がストッパ膜として機能し得るエッチング条件を採用することにより、 HfSiO 膜13(又は HfSiON 膜)上で精度良くエッチングを停止することができる。なお、このドライエッチングにより、ゲート電極下以外の HfSiO 膜(又は HfSiON 膜)を除去することも可能である。

次に、レジスト剥離液を用いてレジストパターン21を除去した後、絶縁膜除去液を用いてゲート電極下以外の HfSiO 膜13(又は HfSiON 膜)及び熱酸化膜12を除去し、シリコン含有絶縁膜2(熱酸化膜)と高誘電率金属酸化膜3(HfSiO 膜又は HfSiON 膜)の積層体からなるゲート絶縁膜を形成する(図4(f))。この絶縁膜の除去工程は、例えば以下の条件で行うことができる。

絶縁膜除去条件：フッ酸水溶液($\text{HF} : \text{H}_2\text{O} = 1 : 600$ (質量比))中に 28°C で3分浸漬。

なお、この除去工程において、 HfSiO 膜13(又は HfSiON 膜)に対する熱酸化膜12のエッチング速度が著しく小さい条件(例えば、フッ酸水溶液($\text{HF} : \text{H}_2\text{O} = 1 : 2000$ (質量比))中に 80°C で3分浸漬)を採用することにより、基板上に熱酸化膜12を残すことが可能である。この場合、サイドウォール6下の窒化シリコン膜5とシリコン基板1との間に熱酸化膜が介在した構造を形成することができる。

また、この除去工程後に行われる薬液を用いた洗浄工程において基板上に形成される自然酸化膜を残してもよい。これらの場合、サイドウォール6下の窒化シリコン膜5とシリコン基板1との間に酸化シリコン膜が介在した構造を形成することができる。

次に、不純物のイオン注入を行って、このゲート電極形状に自己整合的に比較的低濃度の浅い拡散層を形成する。

次に、酸化性物質のバリア用に窒化シリコン膜15、サイドウォール用にNSG等の酸化シリコン膜16をこの順でCVD法により積層した後（図4（g））、異方性エッチングによりエッチバックを行って、窒化シリコン膜5を介したサイドウォール6を形成する（図2）。なお、窒化シリコン膜15を形成し、エッチバックを行った後に、酸化シリコン膜16を形成し、この膜をエッチバックすることにより、図3に示すような、サイドウォール下には窒化シリコン膜が存在しない構造を形成することができる。CVD法による酸化シリコン膜の成膜は、例えば600を超え1000℃以下、好ましくは600を超え800℃以下で行うことができる。

次に、不純物のイオン注入を行って、ゲート電極およびサイドウォール形状に自己整合的に比較的高濃度の深い拡散層を形成する。

以上の工程およびそれ以降の工程において、常法により所望の構造に応じた処理を実施してMISFET構造を完成することができる。

本実施形態によれば、酸化性物質バリア用の窒化シリコン膜15を形成した後に、サイドウォール用の酸化シリコン膜16を形成するため、この酸化シリコン膜の成膜過程において、成膜速度や膜質の点から600℃を超える比較的高温環境下で実施しても、窒化シリコン膜15によって、酸素等の酸化性物質の高誘電率金属酸化膜3中への浸入が防止される。結果、高誘電率金属酸化膜3上下の領域において酸化シリコン膜が形成あるいは増膜しないため、電氣的ゲート絶縁膜厚の薄いゲート絶縁膜を形成することができる。

第2の実施形態

本実施形態は、図5に示すように、シリコン基板1上に、シリコン含有絶縁膜2と高誘電率金属酸化膜3がこの順で積層されたゲート絶縁膜と、このゲート絶縁膜上に形成されたシリコン含有ゲート電極4と、このゲート電極側面（基板に対して垂直方向の面）に酸化シリコン膜7及び窒化シリコン膜5をこの順に介して酸化シリコンからなるサイドウォール6が設けられている。本実施形態は、酸化シリコン膜7を設けた以外は、第1の実施形態と同様な構成をとることができる。

る。

なお、図5に示す構造では、窒化シリコン膜5がサイドウォール6下にも存在するが、図6に示すように、サイドウォール下（サイドウォールとシリコン基板との間）に窒化シリコン膜が存在しない構造にすることもできる。本実施形態の構造は、窒化シリコン膜5とシリコン基板1との間に酸化シリコン膜7が介在するため、窒化シリコン膜がシリコン基板に直接接する構造に比べて、界面準位の抑制の観点から好ましい形態である。

本実施形態の構造を有するMISFETは次のようにして形成することができる。

第1の実施形態の製造方法と同様にして図4（f）に示す基板を作製する。次に、NSG等の酸化シリコン膜17を形成した後に、酸化性物質のバリア用に窒化シリコン膜15、サイドウォール用にNSG等の酸化シリコン膜16をこの順で積層する（図7）。その際、酸化シリコン膜17は、酸素等の酸化性物質の高誘電率金属酸化膜中への浸入を抑制する観点から600℃以下で成膜することが好ましい。この比較的低温下での酸化シリコン膜の形成は、AL-CVD（Atomic Layer CVD）法により良好に行うことができる。成膜速度や膜質の点から200℃以上で行うことが好ましく、400℃以上がより好ましい。

次に、異方性エッチングによりエッチバックを行って、酸化シリコン膜7及び窒化シリコン膜5をこの順に介したサイドウォール6を形成する（図5）。

以上の工程およびそれ以降の工程において、第1の実施形態と同様に、常法により所望の工程に応じた処理を実施してMISFET構造を形成することができる。

本実施形態の酸化シリコン膜17は、その上に設けられた窒化シリコン膜15のエッチング除去の際にバッファ膜として機能し、シリコン基板自体のエッチングダメージの防止に役立つものである。窒化シリコン膜15をドライエッチングにより完全に除去するために過剰にエッチングを行う際、酸化シリコン膜17にてエッチングを停止させることで、シリコン基板自体へのダメージを防止できる。シリコン基板表面の酸化シリコン膜17はウェットエッチングにより容易に選択的に除去できる。このような観点から、この酸化シリコン膜17の厚みは1nm

以上が好ましく、5 nm以上がより好ましい。一方、スループットの点からは、酸化シリコン膜17の成膜時間は短いことが好ましく、この観点から、酸化シリコン膜17の厚みは20 nm以下が好ましく、10 nm以下がより好ましい。

なお、酸化シリコン膜17及び窒化シリコン膜15を形成し、異方性エッチングによりエッチバックを行った後に、サイドウォール用の酸化シリコン膜16を形成し、この膜をエッチバックすることにより、図6に示すような、サイドウォール下には窒化シリコン膜が存在しない構造を形成することができる。

第3の実施の形態

本実施形態は、図8に示すように、シリコン基板1上に、シリコン含有絶縁膜2と高誘電率金属酸化膜3がこの順で積層されたゲート絶縁膜と、このゲート絶縁膜上に形成されたシリコン含有ゲート電極4と、このゲート絶縁膜の側面に選択的に且つ直接に接して設けられた窒化シリコン膜51（窒素含有部）と、この窒化シリコン膜51表面を含むゲート電極側面（基板に対して垂直方向の面）に酸化シリコンからなるサイドウォール6が設けられている。この窒化シリコン膜51は、ゲート電極側面の平面に対する窪みを埋め込むようにその内面を被覆している。この窒化シリコン膜51の厚みは、酸素等の酸化性物質のバリア機能が得られる範囲で適宜設定できるが、例えば0.5 nm～10 nmの範囲に設定することができる。この厚みが薄すぎると十分なバリア機能が得られなくなる。また、この窒化シリコン膜51の厚みは、製法上、窪みの深さに相応するため、高誘電率金属酸化膜のゲート長方向サイズの制約の点から、必要十分な厚みとすることが好ましい。

本実施形態の構造を有するMISFETは次のようにして形成することができる。

第1の実施形態の製造方法と同様にして図4（e）に示す基板を作製する。次に、レジスト剥離液によりレジストパターン21を除去した後、絶縁膜除去液を用いてゲート電極下以外のHfSiO膜13（又はHfSiON膜）及び熱酸化膜12を除去し、シリコン含有絶縁膜2（熱酸化膜）と高誘電率金属酸化膜3（HfSiO膜又はHfSiON膜）の積層体からなるゲート絶縁膜を形成する。その際、除去液の組成や処理時間等を調整して、ゲート電極下のゲート絶縁膜

(少なくとも HfSiO 膜3又は HfSiON 膜)をサイドエッチして、ゲート電極側面の平面に対する窪み101を形成する(図9(a))。このサイドエッチ量は、後に形成する窒化シリコン膜51の厚みに応じて調製する。このサイドエッチを伴う除去工程は、例えば次の条件で行うことができる。絶縁膜除去条件：フッ酸水溶液($\text{HF}:\text{H}_2\text{O}=1:600$ (質量比))中に 28°C で3分浸漬。

次に、酸化性物質のバリア用の窒化シリコン膜15を、窪み101を埋め込むように積層する(図9(b))。次いで、ドライエッチングによりゲート電極上およびシリコン基板上の窒化シリコン膜を除去し、その後、窪み101内に窒化シリコン膜15が残るようにウエットエッチングを行う(図9(c))。このときのウエットエッチングは、例えば次の条件で行うことができる。

ウエットエッチング条件：リン酸中、 160°C で1分浸漬。

以上のようにして、ゲート絶縁膜(少なくとも高誘電率金属酸化膜)の側面に選択的に且つ直接に接するように窒化シリコン膜51を設けた後、第1の実施形態と同様にして所望のMISFET構造を形成することができる。

本実施形態によれば、酸化性物質バリア用の窒化シリコン膜51を形成した後に、サイドウォール用の酸化シリコン膜16を形成するため、この酸化シリコン膜の成膜過程において、成膜速度や膜質の点から 600°C を超える比較的高温環境下で実施しても、窒化シリコン膜51によって、酸素等の酸化性物質の高誘電率金属酸化膜3中への浸入が防止される。結果、高誘電率金属酸化膜3上下の領域において酸化シリコン膜が形成あるいは増膜しないため、電氣的ゲート絶縁膜厚の薄いゲート絶縁膜を形成することができる。

第4の実施の形態

本実施形態は、図10に示すように、シリコン基板1上に、シリコン含有絶縁膜2と高誘電率金属酸化膜3がこの順で積層されたゲート絶縁膜と、このゲート絶縁膜上に形成されたシリコン含有ゲート電極4と、このゲート絶縁膜側面を含むゲート電極側面(基板に対して垂直方向の面)に酸化シリコンからなるサイドウォール6が設けられている。そして、高誘電率金属酸化膜2は、その側面側に窒化領域52(窒素含有部)を有している。高誘電率金属酸化膜2として、 HfSiON 等の窒素含有金属酸化膜を用いた場合は、基板に平行方向の膜中央部に

比べて窒素含有率の高い窒化領域が側面側に形成される。この窒化領域52の厚み（側面からゲート長方向の長さ）は、酸素等の酸化性物質のバリア機能が得られる範囲で適宜設定できるが、例えば窒素含有率（全構成原子に対する窒素原子の原子数比（百分率））が5%以上の領域を1nm～20nmの範囲に設定することができる。窒化領域の厚みが薄すぎると十分なバリア機能が得られなくなる。逆に厚すぎると、信頼性の低下や窒化処理の効率低下を招くため、必要十分な厚みとすることが好ましい。また、この窒化領域中の窒素含有率は、バリア機能の点から5%以上が好ましく、10%以上がより好ましい。信頼性や窒化処理の効率性の点から50%以下が好ましく、40%以下がより好ましい。

本実施形態の構造を有するMISFETは次のようにして形成することができる。

第1の実施形態の製造方法と同様にして図4（f）に示す基板を作製し、前述の窒化領域52が形成されるように窒化処理を行う。この窒化処理としては、アンモニア雰囲気中での熱処理や、N₂やNO等の窒素含有ガスを用いたプラズマ窒化処理により行うことができる。例えば、HfSiO膜（Siモル比率：30%）に対して、下記の窒化処理条件により窒化処理を行うことにより、最大窒素含有率15%、窒素含有率5%以上の厚み3.5nm程度の窒化領域を形成することができる。

窒化処理条件：アンモニア雰囲気中、760Torr、800℃、30分。

以上のようにして、高誘電率金属酸化膜（HfSiO膜）の両側面側に窒化領域52を設けた後、第1の実施形態と同様にして所望のMISFET構造を形成することができる。

なお、この窒化処理により、ゲート電極4およびシリコン含有絶縁膜2の露出面も窒化される。HfSiO等の高誘電率金属酸化膜は、その気体透過性が高いため、ゲート電極やシリコン含有絶縁膜よりも厚い窒化領域が形成される。

本実施形態によれば、高誘電率金属酸化膜の両側面（露出面）側に窒化領域52を形成した後に、サイドウォール用の酸化シリコン膜16を形成するため、この酸化シリコン膜の成膜過程において、成膜速度や膜質の点から600℃を超える比較的高温環境下で実施しても、窒化領域52によって、酸素等の酸化性物質

の高誘電率金属酸化膜 3 中への浸入が防止される。結果、高誘電率金属酸化膜 3 上下の領域において酸化シリコン膜が形成あるいは増膜しないため、電氣的ゲート絶縁膜厚の薄いゲート絶縁膜を形成することができる。

第 5 の実施の形態

本実施形態は、高誘電率金属酸化膜を含むゲート絶縁膜およびゲート電極を形成した後において、当該高誘電率金属酸化膜が露出した状態で実施する酸化性雰囲気での加熱下の処理、すなわちサイドウォール用の酸化シリコン膜の成膜を 600℃以下で行うことを主な特徴とするものである。

第 1 の実施形態の製造方法と同様にして図 4 (f) に示す基板を作製する。次に、サイドウォール形成用に NSG 等の酸化シリコン膜 16 を全面に 600℃以下で成膜する。600℃以下で成膜することにより、酸素等の酸化性物質の高誘電率金属酸化膜中への浸入を抑制することができる。その際、AL-CVD (Atomic Layer CVD) 法を採用することにより良好な成膜を行うことができる。成膜速度や膜質の点から 200℃以上で行うことが好ましく、400℃以上がより好ましい。その後に、この酸化シリコン膜 16 をエッチバックしてサイドウォールを形成する。

以上のようにして、サイドウォールを設けた後、第 1 の実施形態と同様にして所望の MISFET 構造を形成することができる。

上述の第 1 ～第 5 の実施形態の各製造方法においては、HfSiO 膜 13 (又は HfSiON 膜) 上に窒化シリコン膜を形成した後に、ポリシリコン膜 14 を形成することにより、高誘電率金属酸化膜 (HfSiO 膜又は HfSiON 膜) 3 とゲート電極 4 との間に窒化シリコン膜が介在した構造を形成することができる。

請求の範囲

1. シリコン基板と、
前記シリコン基板上にシリコン含有絶縁膜を介して設けられた高誘電率金属酸化膜を有するゲート絶縁膜と、
前記ゲート絶縁膜上に形成されたシリコン含有ゲート電極と、
前記ゲート電極の側面側に酸化シリコンを構成部材として含むサイドウォールとを有し、
前記サイドウォールと少なくとも前記ゲート電極の側面との間に窒化シリコン膜が介在するMIS型電界効果トランジスタを備えた半導体装置。
2. 前記窒化シリコン膜は、前記高誘電率金属酸化膜の側面を被覆している、請求項1記載のMIS型電界効果トランジスタを備えた半導体装置。
3. 前記窒化シリコン膜は、酸化シリコン膜を介して設けられている、請求項1又は2記載の半導体装置。
4. シリコン基板と、
前記シリコン基板上にシリコン含有絶縁膜を介して設けられた高誘電率金属酸化膜を有するゲート絶縁膜と、
前記ゲート絶縁膜上に形成されたシリコン含有ゲート電極とを有し、
少なくとも前記高誘電率金属酸化膜の側面側に窒素含有部を有するMIS型電界効果トランジスタを備えた半導体装置。
5. 前記窒素含有部は、少なくとも前記高誘電率金属酸化膜の側面を被覆する窒化シリコン膜である、請求項4記載の半導体装置。
6. 前記ゲート絶縁膜の側面は、前記ゲート電極側面の平面に対して窪みを形成し、前記窒化シリコン膜は、この窪み内で少なくとも前記高誘電率金属酸化膜の側面を被覆している、請求項5記載の半導体装置。
7. 前記窒素含有部は、前記高誘電率金属酸化膜の側面側部分を窒化处理してなるものである、請求項4記載の半導体装置。
8. 前記ゲート電極の側面側に酸化シリコンを構成部材として含むサイドウォールを有する、請求項4～7のいずれか1項に記載の半導体装置。

9. 前記高誘電率金属酸化膜と前記ゲート電極との間に窒化シリコン膜が存在する、請求項1～8のいずれか1項に記載の半導体装置。

10. 前記高誘電率金属酸化膜がハフニウム(Hf)を含有する、請求項1～9のいずれか1項に記載の半導体装置。

11. 前記高誘電率金属酸化膜の比誘電率が10以上である、請求項1～10のいずれか1項に記載の半導体装置。

12. 前記高誘電率金属酸化膜が前記サイドウォール下に存在しない、請求項1～3及び8のいずれか1項に記載の半導体装置。

13. 前記ゲート電極のゲート長が1 μ m以下である、請求項1～12のいずれか1項に記載の半導体装置。

14. シリコン基板上にシリコン含有絶縁膜を介して高誘電率金属酸化膜を形成する工程と、

前記高誘電率金属酸化膜上にシリコン含有ゲート電極材料膜を形成する工程と、

前記ゲート電極材料膜をパターニングしてゲート電極を形成する工程と、

前記高誘電率金属酸化膜をパターニングして前記ゲート電極下に高誘電率金属酸化膜パターンを形成する工程と、

窒化シリコン膜を全面に形成する工程と、

前記窒化シリコン膜上に酸化シリコン膜を形成する工程と、

前記酸化シリコン膜および窒化シリコン膜をエッチバックして前記ゲート電極側面に窒化シリコン膜を介したサイドウォールを形成する工程を有する半導体装置の製造方法。

15. 前記窒化シリコン膜を形成した後、当該窒化シリコン膜をエッチバックして前記ゲート電極上及びシリコン基板上の窒化シリコン膜を除去する工程を有し、その後に、酸化シリコン膜を全面に形成し、この酸化シリコン膜をエッチバックして前記ゲート電極側面にサイドウォールを形成する、請求項14記載の半導体装置の製造方法。

16. シリコン基板上にシリコン含有絶縁膜を介して高誘電率金属酸化膜を形成する工程と、

前記高誘電率金属酸化膜上にシリコン含有ゲート電極材料膜を形成する工程と、

前記ゲート電極材料膜をパターニングしてゲート電極を形成する工程と、
前記高誘電率金属酸化膜およびシリコン含有絶縁膜をパターニングして前記ゲート電極下に高誘電率金属酸化膜およびシリコン含有絶縁膜のパターンを形成する工程と、

第1の酸化シリコン膜を600℃以下で全面に形成する工程と、

前記第1の酸化シリコン膜上に窒化シリコン膜を形成する工程と、

前記窒化シリコン膜上に第2の酸化シリコン膜を形成する工程と、

前記第2の酸化シリコン膜、窒化シリコン膜および第1の酸化シリコン膜をエッチバックして前記ゲート電極側面に第1の酸化シリコン膜および窒化シリコン膜を介したサイドウォールを形成する工程を有する半導体装置の製造方法。

17. 前記窒化シリコン膜を形成した後、当該窒化シリコン膜および第1の酸化シリコン膜をエッチバックして前記ゲート電極上及びシリコン基板上の窒化シリコン膜および酸化シリコン膜を除去する工程を有し、その後に、前記第2の酸化シリコン膜を全面に形成し、この第2の酸化シリコン膜をエッチバックして前記ゲート電極側面にサイドウォールを形成する、請求項16記載の半導体装置の製造方法。

18. シリコン基板上にシリコン含有絶縁膜を介して高誘電率金属酸化膜を形成する工程と、

前記高誘電率金属酸化膜上にシリコン含有ゲート電極材料膜を形成する工程と、

前記ゲート電極材料膜をパターニングしてゲート電極を形成する工程と、

前記高誘電率金属酸化膜をパターニングして前記ゲート電極下に高誘電率金属酸化膜パターンを形成する工程と、

等方性エッチングにより少なくとも前記高誘電率金属酸化膜パターンの側面部を除去して窪みを形成する工程と、

前記窪みを埋め込むように全面に窒化シリコン膜を形成する工程と、

前記窪み内において少なくとも前記高誘電率金属酸化膜の側面を被覆する窒化シリコン膜が残るように前記窒化シリコン膜をエッチングする工程と、

酸化シリコン膜を全面に形成し、この酸化シリコン膜をエッチバックして前記ゲート電極側面にサイドウォールを形成する工程を有する半導体装置の製造方法。

19. シリコン基板上にシリコン含有絶縁膜を介して高誘電率金属酸化膜を形成する工程と、
前記高誘電率金属酸化膜上にシリコン含有ゲート電極材料膜を形成する工程と、
前記ゲート電極材料膜をパターニングしてゲート電極を形成する工程と、
前記高誘電率金属酸化膜をパターニングして前記ゲート電極下に高誘電率金属酸化膜パターンを形成する工程と、
前記高誘電率金属酸化膜パターンの側面部を窒化処理する工程と、
酸化シリコン膜を全面に形成し、この酸化シリコン膜をエッチバックして前記ゲート電極側面にサイドウォールを形成する工程を有する半導体装置の製造方法。

20. シリコン基板上にシリコン含有絶縁膜を介して高誘電率金属酸化膜を形成する工程と、
前記高誘電率金属酸化膜上にシリコン含有ゲート電極材料膜を形成する工程と、
前記ゲート電極材料膜をパターニングしてゲート電極を形成する工程と、
前記高誘電率金属酸化膜をパターニングして前記ゲート電極下に高誘電率金属酸化膜パターンを形成する工程と、
酸化シリコン膜を600℃以下で全面に形成する工程と、
前記酸化シリコン膜をエッチバックして前記ゲート電極側面にサイドウォールを形成する工程を有する半導体装置の製造方法。

21. さらに前記シリコン含有絶縁膜をパターニングして前記ゲート電極下にシリコン含有絶縁膜パターンを形成する、請求項14、15、18～20のいずれか1項に記載の半導体装置の製造方法。

22. 前記高誘電率金属酸化膜がハフニウム(Hf)を含有する、請求項14～21のいずれか1項に記載の半導体装置の製造方法。

23. 前記高誘電率金属酸化膜の比誘電率が10以上である、請求項14～22のいずれか1項に記載の半導体装置の製造方法。

24. 前記ゲート電極のゲート長が1μm以下である、請求項14～23のいずれか1項に記載の半導体装置の製造方法。

FIG. 1

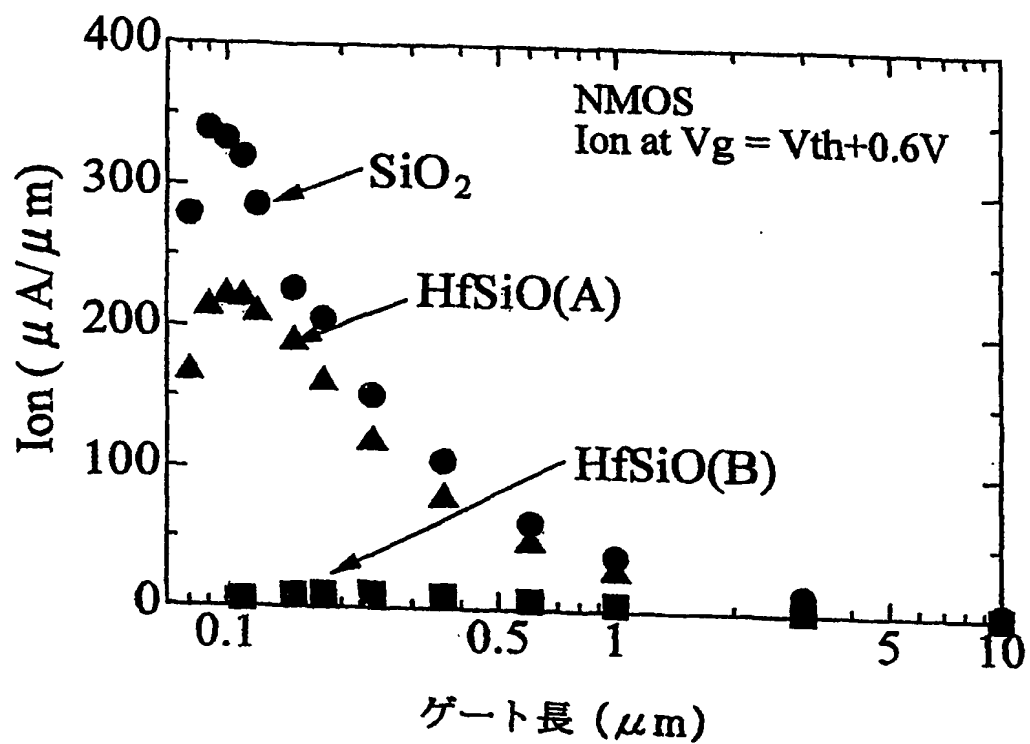


FIG. 2

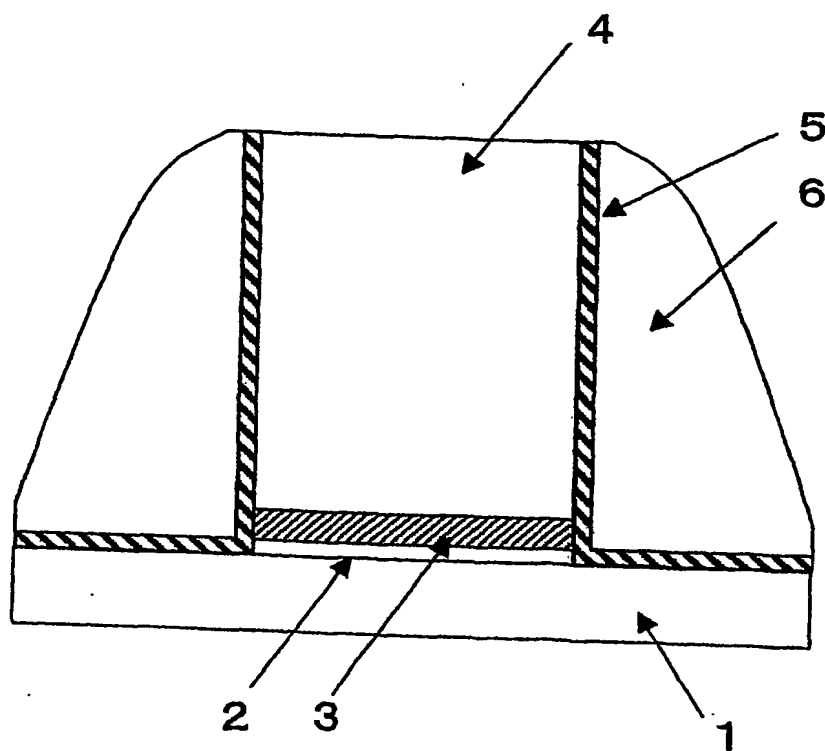


FIG. 3

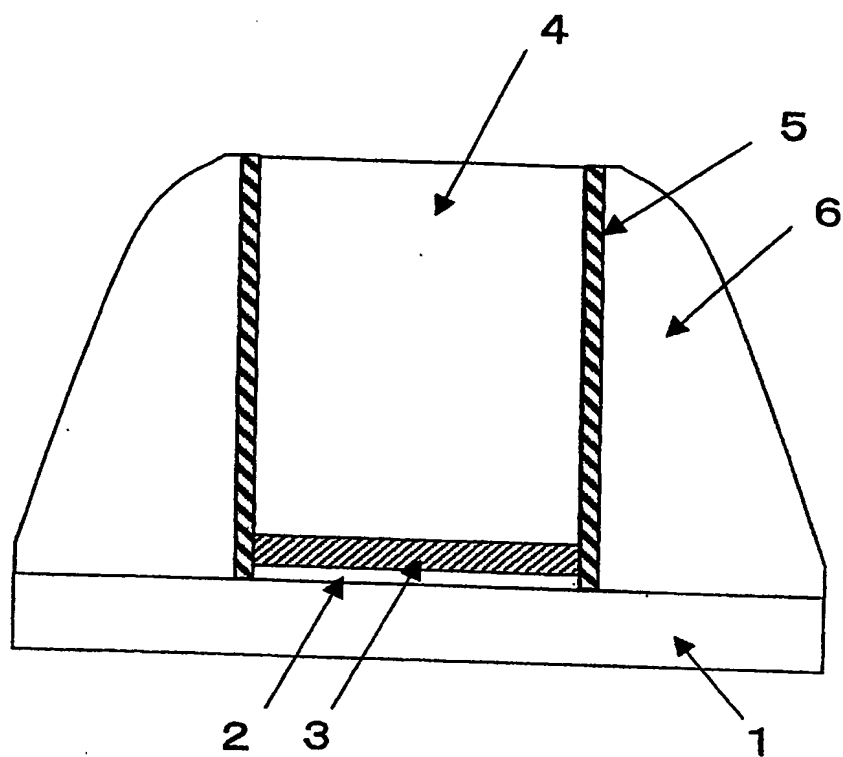


FIG. 4

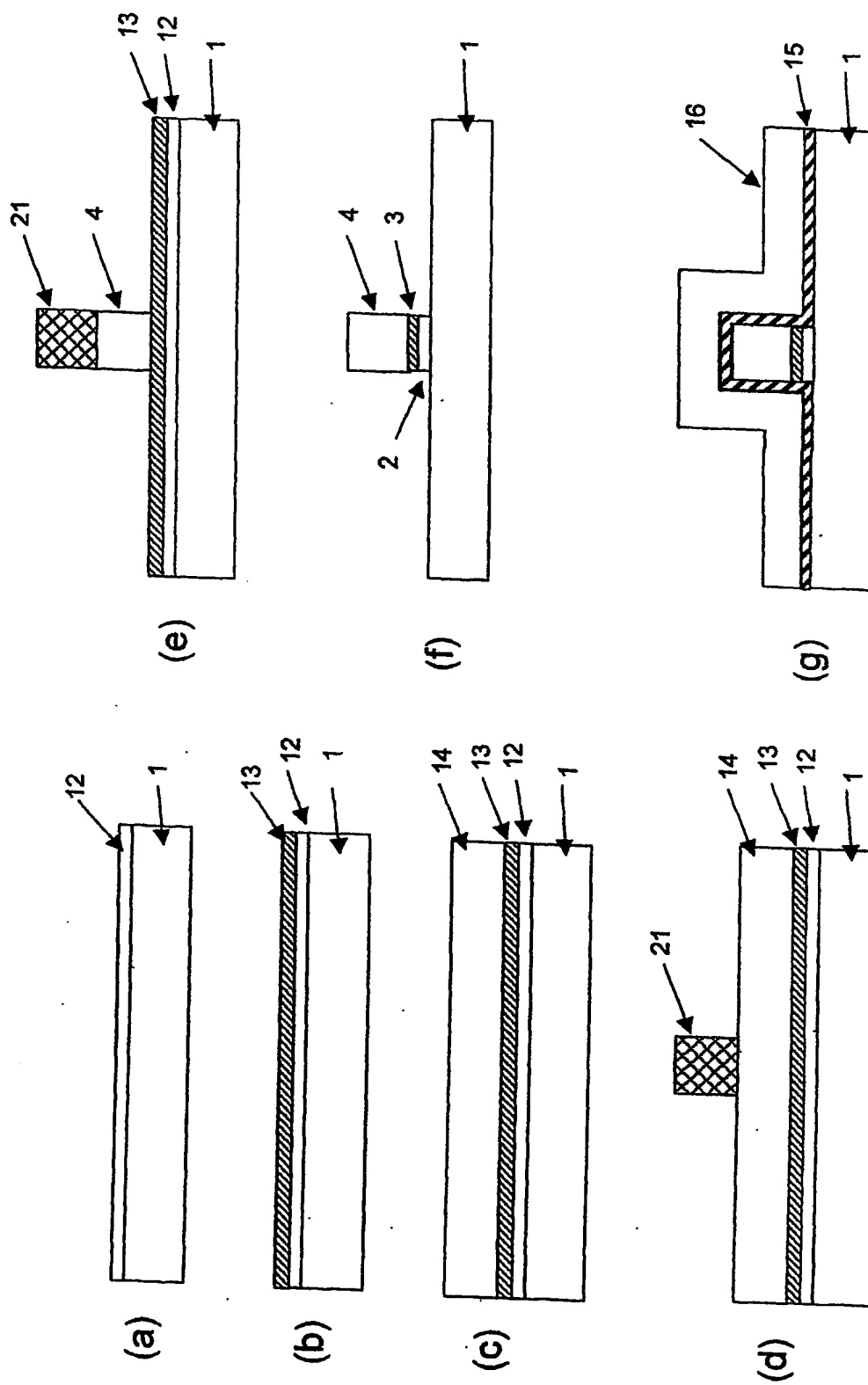


FIG. 5

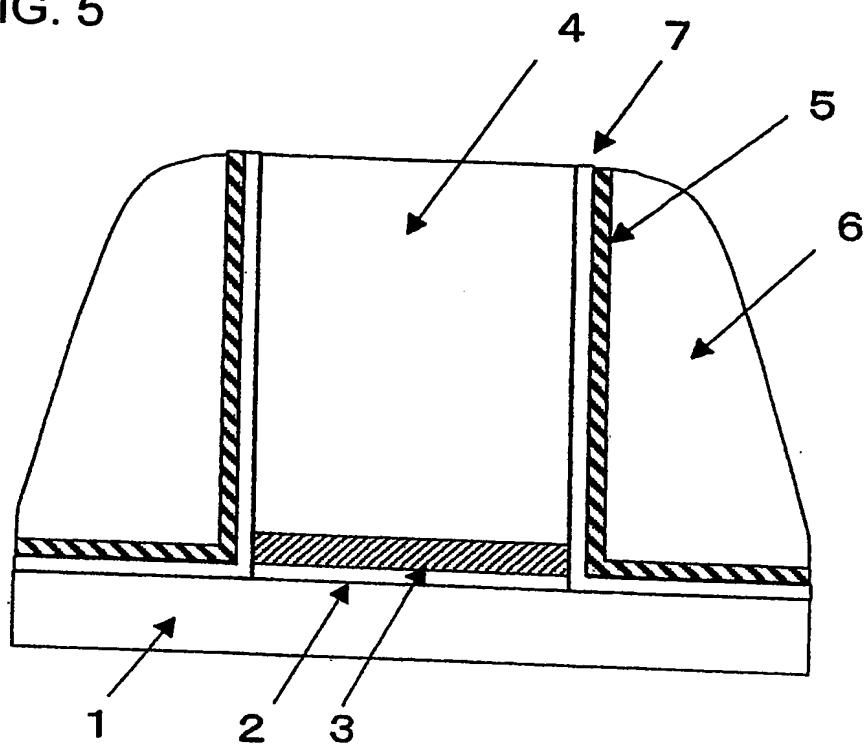


FIG. 6

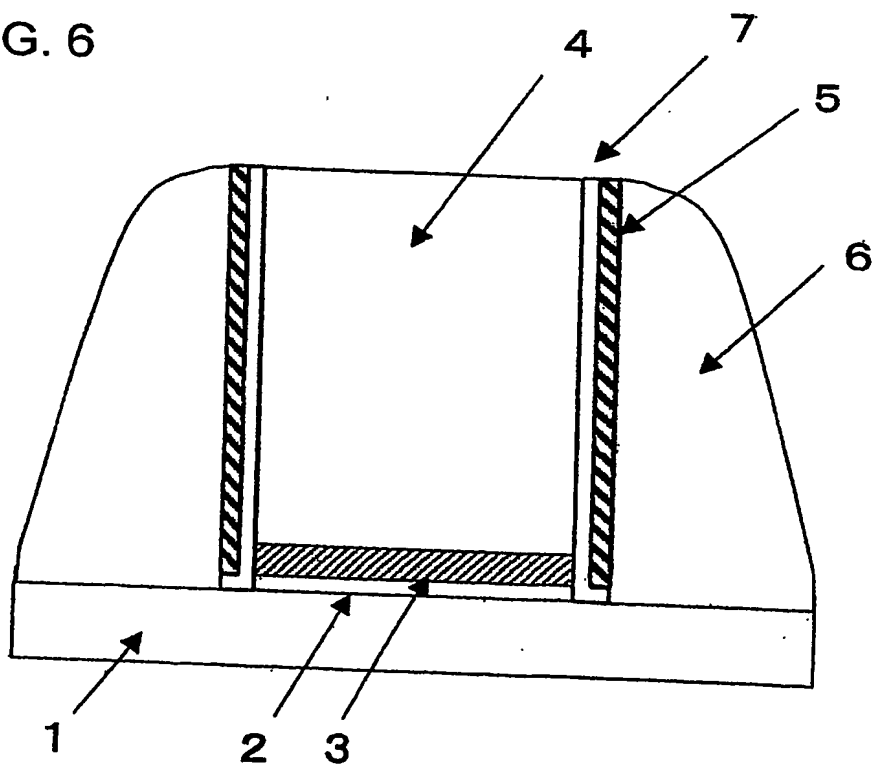


FIG. 7

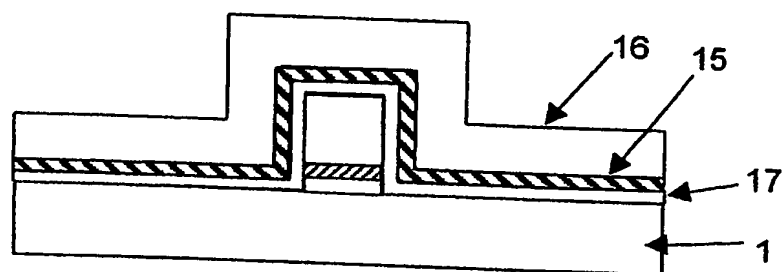


FIG. 8

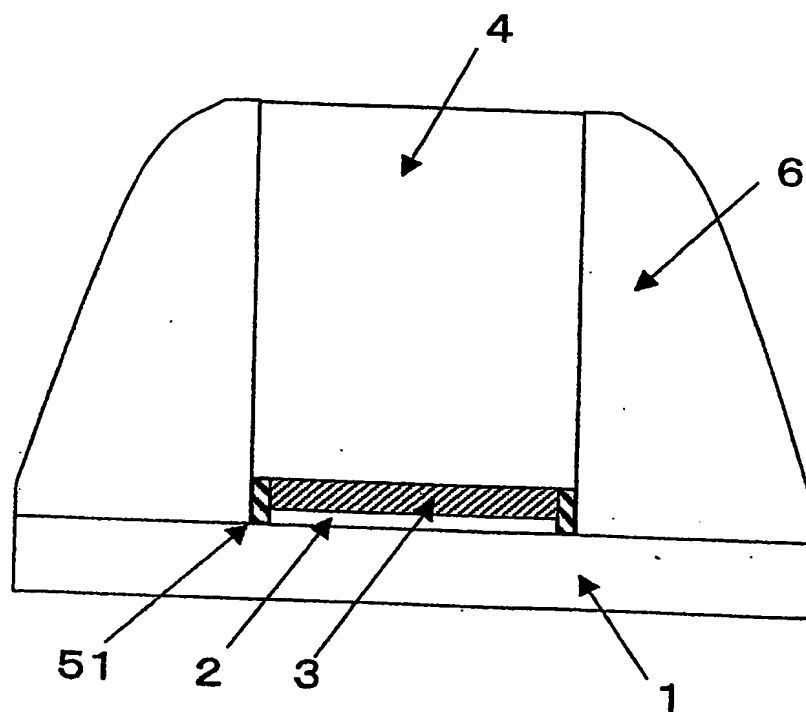


FIG. 9

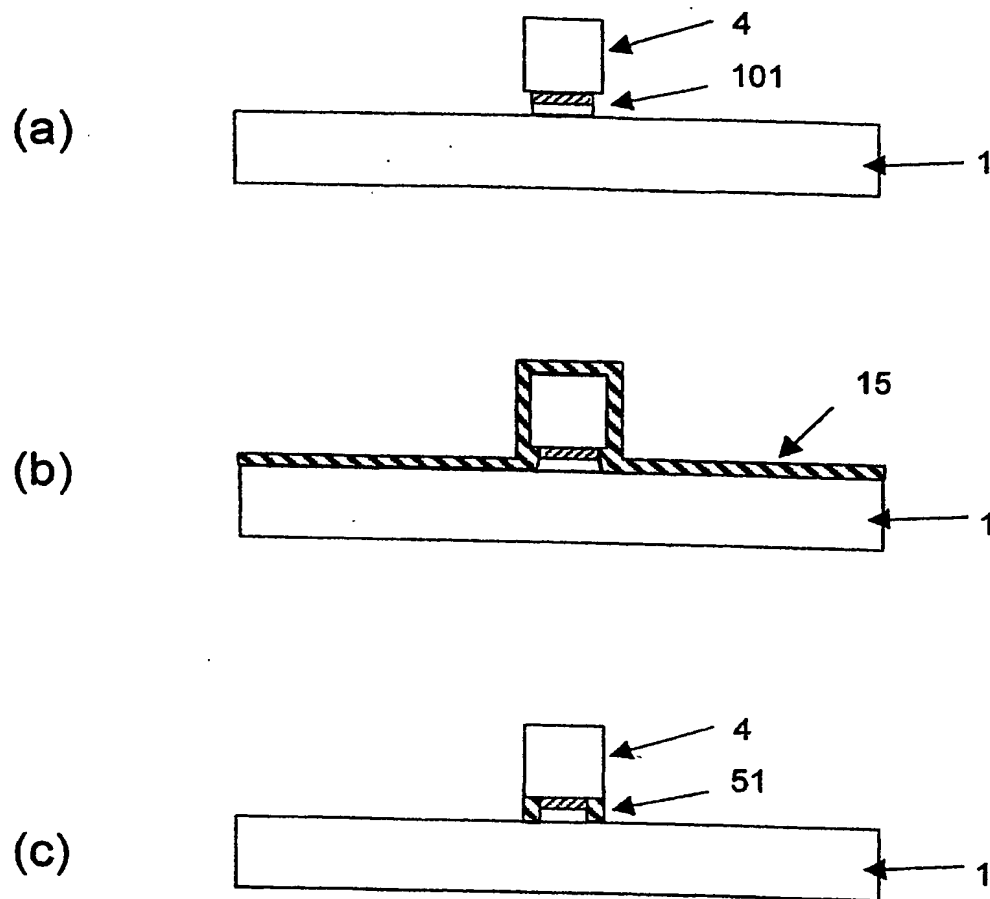


FIG. 10

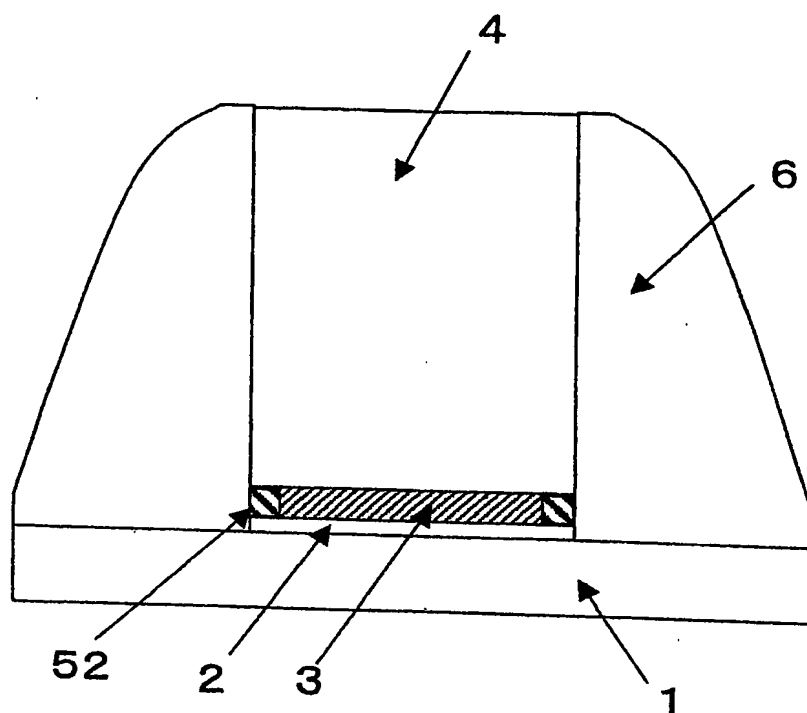
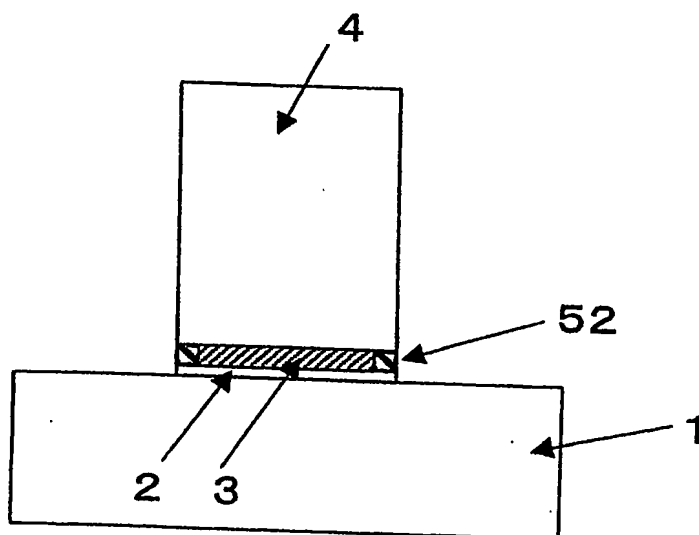


FIG. 11



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/005997

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H01L21/336, H01L29/78

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H01L21/336, H01L29/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2004
Kokai Jitsuyo Shinan Koho	1971-2004	Jitsuyo Shinan Toroku Koho	1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 9-162402 A (Ricoh Co., Ltd.), 20 June, 1997 (20.06.97), Full text; all drawings (Family: none)	1-3, 9-17, 21-24
Y	JP 11-289088 A (Matsushita Electronics Corp.), 19 October, 1999 (19.10.99), Par. Nos. [0036] to [0058]; Figs. 1 to 2 & US 2001/0026982 A1	1-3, 9-17, 21-24
Y	JP 2002-231717 A (Texas Instruments Inc.), 16 August, 2002 (16.08.02), Full text; all drawings & EP 1204135 A2 & US 2002/0081862 A1	1-3, 9-17, 21-24

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
12 July, 2004 (12.07.04)

Date of mailing of the international search report
27 July, 2004 (27.07.04)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/005997

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 10-303141 A (Sony Corp.), 13 November, 1998 (13.11.98), Par. Nos. [0026] to [0039]; Fig. 1 (Family: none)	3, 16, 17
A	JP 3-74878 A (Hitachi, Ltd.), 29 March, 1991 (29.03.91), Full text; all drawings & US 5292673 A & KR 172116 B1	1-3, 9-17, 21-24

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/005997

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:
2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:
3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

Whereas, (as describe in the extra sheet), for a group of inventions in claims to fulfill the requirement of unity of invention, there must exist special technical features for linking the group of inventions so as to form a single general inventive concept, claims in this international application describes three inventions classified as [1-3, 9-17, 21-24], [4-8, 18, 19], [20].

(Continued to extra sheet)

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☐ As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:
4. ☒ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.: 1-3, 9-17, 21-24

Remark on Protest

- ☐ The additional search fees were accompanied by the applicant's protest.
- ☐ No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/005997

Continuation of Box No.III of continuation of first sheet(2)

Whereas for a group of inventions in claims to fulfill the requirement of unity of invention, there must exist special technical features for linking the group of inventions so as to form a single general inventive concept, a group of inventions in claims 1-24 are linked only in terms of a semiconductor device provided with a MIS field effect transistor comprising a silicon substrate, a gate insulation film provided on this silicon substrate via a silicon-containing insulation film and having a high-permittivity metal oxide film, and a silicon-containing gate electrode formed on this gate insulation film.

However, this matter is disclosed in, for example, a prior-art document JP 2002-231717 (Texas Instruments Incorporated), 16 August, 2002 (16.08.02), and therefore it cannot constitute a special technical feature.

Therefore, there exist among a group of inventions in claims 1-24 no special technical features for linking the group of inventions so as to form a single general inventive concept. Accordingly, it is clear that a group of inventions in claims 1-24 do not fulfill the requirement of unity of invention.

Next, the number of groups of inventions, that is, the number of inventions described in the claims of this international application and linked so as to form a general inventive concept will be studied.

Judging from independent claims, claims in this international application describe seven inventions classified as [1-3, 9-13], [4-8], [14, 15, 21-24], [16, 17], [18], [19], [20].

The inventions in claims [1-3, 9-13] and the inventions in claims [14, 15, 21-24], [16, 17] are summarized by the relation between a semiconductor device and a production method thereof.

Similarly, inventions in claims [4-8] and inventions in claims [18], [19] are also summarized by the relation between a semiconductor device and a production method thereof.

In summary, claims in this international applications describe three inventions classified as [1-3, 9-17, 21-24], [4-8, 18, 19], [20].

国際調査報告

国際出願番号 PCT/JP2004/005997

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl¹ H01L21/336, H01L29/78

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl¹ H01L21/336, H01L29/78

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1972-1996年

日本国公開実用新案公報 1971-2004年

日本国登録実用新案公報 1994-2004年

日本国実用新案登録公報 1996-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 9-162402 A(株式会社リコー) 1997.06.20 全文, 全図(ファミリーなし)	1-3, 9-17, 21-24
Y	JP 11-289088 A(松下電子工業株式会社) 1999.10.19 【0036】 - 【0058】 ; 図1-2 & US 2001/0026982 A1	1-3, 9-17, 21-24

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

12.07.2004

国際調査報告の発送日

27.7.2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

松嶋 秀忠

4M

9836

電話番号 03-3581-1101 内線 3460

C (続き) . 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 2002-231717 A(テキサス インスツルメンツ インコーポレイテッド) 2002. 08. 16 全文, 全図 & EP 1204135 A2 & US 2002/0081862 A1	1-3, 9-17, 21-24
Y	JP 10-303141 A(ソニー株式会社) 1998. 11. 13 【0026】 - 【0039】, 図1(ファミリーなし)	3, 16, 17
A	JP 3-74878 A(株式会社日立製作所) 1991. 03. 29 全文, 全図 & US 5292673 A & KR 172116 B1	1-3, 9-17, 21-24

第Ⅱ欄 請求の範囲の一部の調査ができないときの意見 (第1ページの2の続き)

法第8条第3項 (PCT17条(2)(a)) の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求の範囲 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。
つまり、
2. ☐ 請求の範囲 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求の範囲 _____ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第Ⅲ欄 発明の単一性が欠如しているときの意見 (第1ページの3の続き)

次に述べるようにこの国際出願に二以上の発明があるとこの国際調査機関は認めた。

(特別ページ) に記載したように、請求の範囲に記載されている一群の発明が単一性の要件を満たすには、その一群の発明を単一の一般的発明概念を形成するように関連させるための、特別な技術的特徴の存在が必要であるところ、この国際出願の請求の範囲には、[1-3, 9-17, 21-24]、[4-8, 18, 19]、[20] に区分される3個の発明が記載されていると認める。

1. ☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求の範囲について作成した。
2. ☐ 追加調査手数料を要求するまでもなく、すべての調査可能な請求の範囲について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったため、この国際調査報告は、手数料の納付のあった次の請求の範囲のみについて作成した。
4. ☒ 出願人が必要な追加調査手数料を期間内に納付しなかったため、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求の範囲について作成した。

請求の範囲 1-3, 9-17, 21-24

追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあった。
- ☐ 追加調査手数料の納付と共に出願人から異議申立てがなかった。

(第Ⅲ欄の続き)

請求の範囲に記載されている一群の発明が単一性の要件を満たすためには、その一群の発明を単一の一般的発明概念を形成するように連関させるための、特別な技術的特徴の存在が必要であるところ、請求の範囲1-24に記載されている一群の発明は、シリコン基板と、前記シリコン基板上にシリコン含有絶縁膜を介して設けられた高誘電率金属酸化膜を有するゲート絶縁膜と、前記ゲート絶縁膜上に形成されたシリコン含有ゲート電極とを有するMIS型電界効果トランジスタを備えた半導体装置でのみ連関していると認められる。

しかしながら、この事項は、例えば、先行技術文献 JP 2002-231717 A(テキサス インストルメンツ インコーポレイテッド)、2002.08.16に記載されているため、特別な技術的特徴とはなり得ない。

そうすると、請求の範囲1-24に記載されている一群の発明の間には、単一の一般的発明概念を形成するように連関させるための、特別な技術的特徴は存しないこととなる。そのため、請求の範囲1-24に記載されている一群の発明が発明の単一性の要件を満たしていないことは明らかである。

次に、この国際出願の請求の範囲に記載されている、一般的発明概念を形成するように連関している発明の群の数、すなわち、発明の数につき検討する。

独立した請求の範囲から判断すると、この国際出願の請求の範囲には、[1-3, 9-13]、[4-8]、[14, 15, 21-24]、[16, 17]、[18]、[19]、[20]に区分される7個の発明が記載されている。

また、請求の範囲[1-3, 9-13]に記載された発明と請求の範囲[14, 15, 21-24]、[16, 17]に記載された発明は、半導体装置とその製造方法の関係でまとめられるものである。

同様、請求の範囲[4-8]に記載された発明と請求の範囲[18]、[19]に記載された発明も、半導体装置とその製造方法の関係でまとめられる。

まとめると、この国際出願の請求の範囲には、[1-3, 9-17, 21-24]、[4-8, 18, 19]、[20]に区分される3個の発明が記載されていると認める。